

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-189881

(43) 公開日 平成10年(1998) 7月21日

(51) Int.Cl.⁶

識別記号

F I

H 0 1 L 27/04

H 0 1 L 27/04

C

21/822

H 0 1 G 4/10

H 0 1 G 4/10

審査請求 未請求 請求項の数29 O L (全 9 頁)

(21) 出願番号 特願平9-184132

(71) 出願人 000005049

(22) 出願日 平成9年(1997) 7月9日

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(31) 優先権主張番号 08/763, 011

(71) 出願人 591188262

(32) 優先日 1996年12月6日

バージニア テック インテレクチュアル

プロパティーズ インコーポレイテッド

(33) 優先権主張国 米国 (US)

アメリカ合衆国 バージニア州 24060

ブラックスバーグ クラフト ドライブ

1900 スイート 107

(74) 代理人 弁理士 山本 秀策

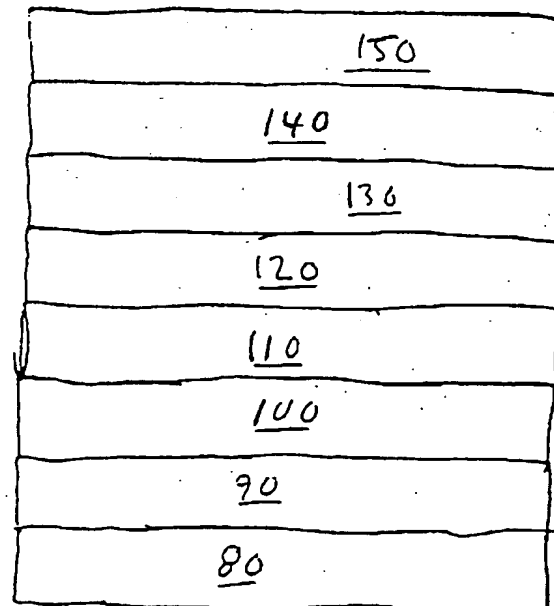
最終頁に続く

(54) 【発明の名称】 高温電極バリアを備えるキャパシタおよびその製造方法

(57) 【要約】

【課題】 高温電極バリアを備えるキャパシタおよびその製造方法を提供すること。

【解決手段】 基板上に形成された下部電極、上部電極、および該下部電極と該上部電極との間に挟持された誘電体を備えるキャパシタであって、該下部電極が、金属酸化物層およびその上の金属層を備え、該金属酸化物が該基板上に形成され、該金属酸化物が、該金属層と同じ種類の金属を含むキャパシタ。



【特許請求の範囲】

【請求項1】 基板上に形成された下部電極、上部電極、および該下部電極と該上部電極との間に挟持された誘電体を備えるキャパシタであって、

該下部電極が、金属酸化物層およびその上の金属層を備え、該金属酸化物が該基板上に形成され、該金属酸化物が、該金属層と同じ種類の金属を含むキャパシタ。

【請求項2】 前記金属がPt、Ir、Rh、Ru、Agおよびそれらの合金からなる群から選択される、請求項1に記載のキャパシタ。

【請求項3】 前記金属層と前記誘電体との間に挟持された第2金属酸化物層をさらに備える、請求項1に記載のキャパシタ。

【請求項4】 前記誘電体がPZTを含む、請求項3に記載のキャパシタ。

【請求項5】 前記上部電極が、金属層および該上部電極の金属層上部に形成された金属酸化物層を備える、請求項1に記載のキャパシタ。

【請求項6】 前記基板上に形成された下部電極、上部電極および該下部電極と該上部電極との間に挟持された誘電体を備えるキャパシタであって、

該下部電極が、Pt-Rh- O_x からなる第1層、Pt-Rhからなる第2層、およびPt-Rh- O_x からなる第3層を備え、該第3層が該誘電体に隣接する、キャパシタ。

【請求項7】 前記誘電体が強誘電体である、請求項6に記載のキャパシタ。

【請求項8】 前記上部電極が、Pt-Rh- O_x からなる第1層、Pt-Rhからなる第2層、およびPt-Rh- O_x からなる第3層を備え、該第1層が該誘電体に隣接する、請求項7に記載のキャパシタ。

【請求項9】 前記下部電極の第1層が約15nmの厚さを有し、前記下部電極の第2層が約50nmの厚さを有し、そして前記下部電極の第3層が約30nmの厚さを有する、請求項6に記載のキャパシタ。

【請求項10】 前記下部電極の第1層がはばPt-13%Rhからなる、請求項6に記載のキャパシタ。

【請求項11】 前記下部電極の第1層がPt:Rh:O=66:14:20の原子組成比を有し、前記第2層がPt:Rh=約87:13の原子組成比を有し、前記第3層がPt:Rh:O=約50:20:30の原子組成比を有する、請求項6に記載のキャパシタ。

【請求項12】 前記基板が、シリコン、ゲルマニウム、GaAsまたは他の半導体のうち少なくとも1つを含む、請求項6に記載のキャパシタ。

【請求項13】 前記基板が、 $n^+Si(100)$ 、 n^+ ポリシリコン/ SiO_2/Si および SiO_2/Si からなる群から選択される、請求項12に記載のキャパシタ。

【請求項14】 高温電極バリアを備えるキャパシタを製造する方法であって、(a) 基板上にPt-Rh- O_x からなる第1層を形成する工程と、(b) 該第1層上にPt

-Rhからなる第2層を形成する工程と、(c) 該第2層上にPt-Rh- O_x からなる第3層を形成し、これにより、該第1層、第2層および第3層が下部電極を構成する工程と、(d) 該第3層上に誘電体を形成する工程と、(e) 該下部電極上に上部電極を形成する工程と、を包含する製造方法。

【請求項15】 前記工程(a)、(b)および(c)が、RFスパッタリングによって行われる、請求項14に記載の製造方法。

【請求項16】 前記第1層が、Ar+ O_2 雰囲気中でスパッタリングされ、前記第2層が、Ar雰囲気中でスパッタリングされ、そして前記第3層が、Ar+ O_2 雰囲気中でスパッタリングされる、請求項15に記載の製造方法。

【請求項17】 前記Ar雰囲気が、約5mTorrのガス圧を有し、そして前記Ar+ O_2 雰囲気が、約7mTorrのガス圧を有する、請求項16に記載の製造方法。

【請求項18】 Ar: O_2 比が約20:4sccmで一定に保たれる、請求項17に記載の製造方法。

【請求項19】 前記第1層が、約3分間で形成され、前記第2層が、約17分間で形成され、そして前記第3層が、約6分間で形成される、請求項18に記載の製造方法。

【請求項20】 前記RFパワー密度が1平方インチ当たり約16ワットである、請求項19に記載の製造方法。

【請求項21】 前記基板温度が、前記形成工程の間約450℃である、請求項20に記載の製造方法。

【請求項22】 前記キャパシタをアニールする工程をさらに包含する、請求項21に記載の製造方法。

【請求項23】 前記アニール工程が、約650℃にて約30分間行われる、請求項22に記載の製造方法。

【請求項24】 前記アニール工程が少なくとも500℃を上回る温度にて行われる、請求項23に記載の製造方法。

【請求項25】 前記第1層が、 $n^+Si(100)$ 、 n^+ ポリシリコン/ SiO_2/Si および SiO_2/Si からなる群から選択される基板上に形成される、請求項14に記載の製造方法。

【請求項26】 高温電極バリアを備えるキャパシタを製造する方法であって、(a) 基板上に金属酸化物からなる第1層を形成する工程と、(b) 該第1層上に金属からなる第2層を形成し、これにより、該第1層および第2層が下部電極を構成する工程と、(c) 該下部電極上に誘電体を形成する工程と、(d) 該下部電極上に上部電極を形成する工程と、を包含する製造方法。

【請求項27】 前記第2層上に金属酸化物層を形成する工程であって、前記工程(c)の前に行われる工程をさらに包含する、請求項26に記載の製造方法。

【請求項28】 基板上に形成された下部電極、上部電極、および該下部電極と該上部電極との間に挟持された誘電体を備えるキャパシタを備え、該下部電極が金属酸

化物層およびその上の金属層を備え、該金属酸化物が該基板上に形成され、そして該金属酸化物が、該金属層と同じ種類の金属を含むFRAMであって、該誘電体が、 $\text{SrBi}_{2-x}\text{Ta}_{1-x}\text{Nb}_x\text{O}_9$ 、および固溶体、PZT、ならびに強誘電体からなる群から選択される、FRAM。

【請求項29】 基板上に形成された下部電極、上部電極、および該下部電極と該上部電極との間に挟持された誘電体を備えるキャパシタを備え、該下部電極が金属酸化物層およびその上の金属層を備え、該金属酸化物が該基板上に形成され、そして該金属酸化物が、該金属層と同じ種類の金属を含むDRAMであって、該誘電体が、 $\text{Sr}_{1-x}\text{Ba}_x\text{TiO}_3$ 、 $\text{BaBi}_2\text{Ta}_2\text{O}_9$ 、および高誘電体からなる群から選択される、DRAM。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、キャパシタおよびメモリデバイスの分野に関し、特に、このようなデバイスに適用可能な多層電極構造体に関する。

【0002】

【従来の技術】 強誘電体キャパシタは不揮発性メモリの潜在的供給源としてかなり注目されてきた。期待される利点としては、例えば、フラッシュEEPROMSと比べて高い読み出し/書き込み速度およびサイクル容量、ならびに低い電圧条件がある。研究者は、以前から、 $5\mu\text{m}$ の強誘電体メモリセル技術、およびさらに小さなメモリセルを開発してきた。Onishiらの「A Half-Micron Ferroelectric Memory Cell Technology with Stacked Capacitor Structure」、IEDM Digest of Technical Papers, p. 843 (1996); K. Shojiら、「A $7.03\mu\text{m}^2$ Vcc/2-plate Nonvolatile DRAM Cell With a Pt/PZT/Pt/TiN Capacitor Patterned by One-Mask Dry Etching」 VLSI Tech. Symp. Digest of Technical Papers, p. 28 (1996)を参照。(本明細書中で言及されたすべての文献の内容は参考のために援用される。) 従来、これらのメモリセルには、キャパシタ下部電極としてPt/TiN/Tiポリシリコンプラグ構造が用いられてきた。この構造の顕著な欠点は、TiN表面が酸化されることおよび、その後にPtがTiNから剥離することであった。これは、酸素がPt層を通過してTiN表面へ通過した結果、高温下での強誘電体膜形成の間に起こる。約 600°C ～ 700°C より高い温度(この温度は、本明細書で用いられる「高温」である)は、チタン酸ジルコン酸鉛(PZT)または $\text{SrBi}_2\text{Ta}_2\text{O}_9$ (SBT)のような信頼性の高い強誘電体膜を得るのに必要であるので、安定性の高い電極構造の開発が高度な強誘電体メモリを達成する重要な鍵となる。

【0003】

【発明が解決しようとする課題】 白金(Pt)は、その優れた電気導電性、熱的および化学的安定性ならびに強誘電体層との良好な接着性のために薄膜電極として選択される材料であった。しかし、Ptは、かなり低い温度(約 40°C

未満)でSiと反応して、ケイ化物層を形成する。従って、ケイ化物形成およびその後の強誘電体層へのSi拡散を防止するために、Pt電極とSi基板との間に SiO_2 バリア層を備えることが必要である。 SiO_2 層に加え、Pt層と SiO_2 層との間の接着性を向上させるためにさらなるTi層が用いられてきた。しかしTi中間層を設けたとしても、Pt膜の表面上に通常、ヒロック様の物の形成が観察される。これは、高温処理時のPtとSiとの間の熱膨張が不釣り合いなことに起因して生ずる。これらのヒロックは、かなり大きい(約 50nm ～ 100nm の間)ものであり得、そして強誘電体膜の特性に極めて有害であり得る。さらに、Pt電極を備えるPZTキャパシタが、スイッチサイクル(すなわち、分極疲労)の増加に伴ってスイッチ電荷の大幅な連続的減少を示すことは周知である。この疲労は、特にPZT/Pt界面において空間電荷の蓄積により滞留しているドメインに起因する。Pt電極の代わりに導電酸化物電極(すなわち、 RuO_2 、 $\text{La}_{1-x}\text{Sr}_x\text{O}_3$ (LSCO)、 $\text{YBa}_2\text{Cu}_3\text{O}_{7-x}$ (YBCO)など)を用いると、この問題をある程度まで少なくできる。この改善は、PZT/酸化物界面における帯電欠陥の蓄積が減少し、かつPZTとの仕事関数がよりよく合致することによる。しかし、酸化物電極/PZTキャパシタは、Pt/PZTキャパシタと比べて、非常に高いリーク電流を示す。

【0004】 多層導電酸化物/金属電極が、PZT薄膜の疲労特性とリーク電流特性とを同時に改善するために研究されてきた。LSCO/Pt、 RuO_2 /Ptおよび IrO_2 /Irが、疲労特性およびリーク電流特性を減少させるのにいくらか有望であることがこれまでの研究によって示されている。しかし、Ptにおけるリーク電流値は依然として高く、改善されなければならない。分極は、場合によって悪くなることがあった。

【0005】 メモリ応用の電極システムは、所望の電気特性および強誘電体特性を有さなければならない。さらに、電極は、メモリセル構造の設計体内に集積されなければならない。特に、大規模集積では、キャパシタの電極が1トランジスタ-1キャパシタ単一メモリセルにおけるトランジスタのソース/ドレインと直接電気的に接触することが必要である。このような電極条件は、以下のようなべきである：

- ・高温における酸化性雰囲気中に曝された後も電気導電性のままであること；
- ・強誘電体膜の酸素/可動成分の下基板への拡散を防止し、これにより、トランジスタの電気特性を保持すること；
- ・処理の間Siが電極表面へ拡散するのを防止すること；
- および

- ・高温における処理の間、強誘電体と基板とが相互作用(反応)しないこと。

【0006】 Pt電極および導電酸化物/金属電極は、上記の条件のうちの少なくとも1つも満たさないで、こ

のような構成では効果的に使用され得ない。NVRAMセル構造に対してはPt/TiN/Ti/ポリシリコンプラグ、そしてDRAM応用に対してはRuO₂/TiNと共に、PZTおよびSBT、ならびに高誘電体材料(例えば、BST)を用いる強誘電体システムが研究されてきた。しかし、高温(例えば、約500°C以上)処理の間、TiN層は容易に酸化されるので、Pt/TiN層の応力状態の変化に起因して、電極抵抗およびPt層剥離が増加する。

【0007】上記の(および他の)基準を満足させる電極システムは、当該技術分野において公知でないと考える。

【0008】本発明はこれら上記従来の問題点を解決するものであり、このような電極システムを備えるデバイスを提供することを目的とし、これにより当該技術分野における有意の進歩を示す。

【0009】

【課題を解決するための手段】本発明は、基板上に形成された下部電極、上部電極、および該下部電極と該上部電極との間に挟持された誘電体を備えるキャパシタであって、該下部電極が、金属酸化物層およびその上の金属層を備え、該金属酸化物が該基板上に形成され、該金属酸化物が、該金属層と同じ種類の金属を含む、キャパシタを提供し、これによって上記目的が達成される。

【0010】本発明の好適な実施態様では、前記金属がPt、Ir、Rh、Ru、Agおよびそれらの合金からなる群から選択される。

【0011】本発明のさらに好適な実施態様では、前記金属層と前記誘電体との間に挟持された第2金属酸化物層をさらに備える。

【0012】本発明のさらに好適な実施態様では、前記誘電体がPZTを含む。

【0013】本発明のさらに好適な実施態様では、前記上部電極が、金属層および該上部電極の金属層上部に形成された金属酸化物層を備える。

【0014】本発明はまた、前記基板上に形成された下部電極、上部電極および該下部電極と該上部電極との間に挟持された誘電体を備えるキャパシタであって、該下部電極が、Pt-Rh-O_xからなる第1層、Pt-Rhからなる第2層、およびPt-Rh-O_xからなる第3層を備え、該第3層が該誘電体に隣接するキャパシタを提供し、これによって上記目的が達成される。

【0015】本発明の好適な実施態様では、前記誘電体が強誘電体である。

【0016】本発明のさらに好適な実施態様では、前記上部電極が、Pt-Rh-O_xからなる第1層、Pt-Rhからなる第2層、およびPt-Rh-O_xからなる第3層を備え、該第1層が該誘電体に隣接する。

【0017】本発明のさらに好適な実施態様では、前記下部電極の第1層が約15nmの厚さを有し、前記下部電極の第2層が約50nmの厚さを有し、そして前記下部電極の

第3層が約30nmの厚さを有する。

【0018】本発明のさらに好適な実施態様では、前記下部電極の第1層がほぼPt-13%Rhからなる。

【0019】本発明のさらに好適な実施態様では、前記下部電極の第1層がPt:Rh:O=66:14:20の原子組成比を有し、前記第2層がPt:Rh=約87:13の原子組成比を有し、前記第3層がPt:Rh:O=約50:20:30の原子組成比を有する。本発明のさらに好適な実施態様では、前記基板が、シリコン、ゲルマニウム、GaAsまたは他の半導体のうち少なくとも1つを含む。

【0020】本発明のさらに好適な実施態様では、前記基板が、n⁺Si(100)、n⁺ポリシリコン/SiO₂/SiおよびSiO₂/Siからなる群から選択される。

【0021】本発明はさらに、(a)基板上にPt-Rh-O_xからなる第1層を形成する工程と、(b)該第1層上にPt-Rhからなる第2層を形成する工程と、(c)該第2層上にPt-Rh-O_xからなる第3層を形成し、これにより、該第1層、第2層および第3層が下部電極を構成する工程と、(d)該第3層上に誘電体を形成する工程と、

(e)該下部電極上に上部電極を形成する工程とを包含する、高温電極バリアを備えるキャパシタを製造する方法を提供し、これによって上記目的が達成される。

【0022】本発明の好適な実施態様では、前記工程(a)、(b)および(c)が、RFスパッタリングによって行われる。

【0023】本発明のさらに好適な実施態様では、前記第1層が、Ar+O₂雰囲気中でスパッタリングされ、前記第2層が、Ar雰囲気中でスパッタリングされ、そして前記第3層が、Ar+O₂雰囲気中でスパッタリングされる。

【0024】本発明のさらに好適な実施態様では、前記Ar雰囲気、約5mTorrのガス圧を有し、そして前記Ar+O₂雰囲気、約7mTorrのガス圧を有する。

【0025】本発明のさらに好適な実施態様では、Ar:O₂比が約20:4sccmで一定に保たれる。

【0026】本発明のさらに好適な実施態様では、前記第1層が、約3分間で形成され、前記第2層が、約17分間で形成され、そして前記第3層が、約6分間で形成される。

【0027】本発明のさらに好適な実施態様では、前記RFパワー密度が1平方インチ当たり約16ワットである。

【0028】本発明のさらに好適な実施態様では、前記基板温度が、前記形成工程の間約450°Cである。

【0029】本発明のさらに好適な実施態様では、前記キャパシタをアニールする工程をさらに包含する。

【0030】本発明のさらに好適な実施態様では、前記アニール工程が、約650°Cにて約30分間行われる。

【0031】本発明のさらに好適な実施態様では、前記アニール工程が少なくとも500°Cを上回る温度にて行われる。

【0032】本発明のさらに好適な実施態様では、前記

第1層が、 $n^+Si(100)$ 、 n^+ ポリシリコン/ SiO_2/Si および SiO_2/Si からなる群から選択される基板上に形成される。

【0033】本発明はまた、(a)基板上に金属酸化物からなる第1層を形成する工程と、(b)該第1層上に金属からなる第2層を形成し、これにより、該第1層および第2層が下部電極を構成する工程と、(c)該下部電極上に誘電体を形成する工程と、(d)該下部電極上に上部電極を形成する工程とを包含する、高温電極バリアを備えるキャパシタを製造する方法を提供し、これによって上記目的が達成される。

【0034】本発明の好適な実施態様では、前記第2層上に金属酸化物層を形成する工程であって、前記工程(c)の前に行われる工程をさらに包含する。

【0035】本発明はまた、基板上に形成された下部電極、上部電極、および該下部電極と該上部電極との間に挟持された誘電体を備えるキャパシタを備え、該下部電極が金属酸化物層およびその上の金属層を備え、該金属酸化物が該基板上に形成され、そして該金属酸化物が、該金属層と同じ種類の金属を含むFRAMであって、該誘電体が、 $SrBi_2Ta_{1-x}Nb_xO_9$ 、および固溶体、PZT、ならびに強誘電体からなる群から選択されるFRAMSを提供し、これによって上記目的が達成される。

【0036】本発明はさらに、基板上に形成された下部電極、上部電極、および該下部電極と該上部電極との間に挟持された誘電体を備えるキャパシタを備え、該下部電極が金属酸化物層およびその上の金属層を備え、該金属酸化物が該基板上に形成され、そして該金属酸化物が、該金属層と同じ種類の金属を含むDRAMであって、該誘電体が、 $Sr_{1-x}Ba_xTiO_3$ 、 $BaBi_2Ta_2O_9$ 、および高誘電体材料からなる群から選択される、DRAMを提供し、上記目的が達成される。

【0037】以下作用について説明する。

【0038】本発明は、強誘電体メモリおよびDRAM、ならびに他の応用に最適なキャパシタである。このキャパシタは、シリコンのような基板上に形成され、ある応用としては、トランジスタのソース/ドレインと電気的に接触して配置され得、大規模デバイス集積のためのメモリセルを形成する。

【0039】ある実施形態において、下部電極構造は3層からなり、一緒になって基板と強誘電体(または他のキャパシタ誘電体)との間の電極および拡散バリアを形成する。下部層(基板に最も近い)は、 $Pt-Rh-O_x$ から形成された金属酸化物である。中間層は、金属 $Pt-Rh$ から形成される。上部層(強誘電体に最も近い)は $Pt-Rh-O_x$ から形成される。

【0040】強誘電体層はこの下部電極構造上に形成される。

【0041】上部電極が、強誘電体上に形成されてキャパシタを完成する。上部電極は、好ましくは下部電極と全く同様に形成される。すなわち、 $Pt-Rh-O_x$ 層が強誘電

体上に直接形成される。 $Pt-Rh$ 層がその $Pt-Rh-O_x$ 層上に形成される。 $Pt-Rh-O_x$ 層がその $Pt-Rh$ 層上に形成されて、キャパシタ構造を完成する。

【0042】以下に示すような他の実施態様が本発明の範囲内に包含される。

【0043】本発明のキャパシタは、以下に示すように、RFスパッタリングによって形成するのが好ましい。しかし、本発明のキャパシタは、あらゆる他の形成技術(例えば、いずれの化学蒸着法もしくはゾルーゲル法または物理蒸着プロセスを包含する)によっても形成され得る。

【0044】本発明のキャパシタは、優れた強誘電特性および疲労特性を有する。さらに、本発明による電極は、高処理温度(例えば、 $700^{\circ}C$)においても、強誘電体と基板との間の優れたバリアとして作用する。

【0045】

【発明の実施の形態】本発明は、主に強誘電体メモリのキャパシタとして有用なデバイス構造に関し、特に、キャパシタ電極が、ポリシリコンプラグを介してトランジスタのソース/ドレインと電気的に直接接触するタイプのデバイス構造に関する。従来技術のデバイスは、4つまたは5つの異なる層を形成することが必要な分離した電極および拡散バリア層を用いていた。

【0046】例えば、図9の従来技術のデバイスは、分離した電極および拡散層を有する。ケイ化物($TiSi_2$ または $TaSi_2$)層10が、ポリシリコンプラグ8上に形成される。 TiO_2 (またはTa)層20がケイ化物層10上に形成される。 Ti 層30が層20上に形成される。 Pt 層40が層30上に形成される。 RuO_2 (またはLSCOまたは IrO_2)層50が層40上に形成される。層20~50が下部電極構造を形成し、その上にPZT60のような強誘電体材料が形成される。本明細書で用いられるPZTは、ドーピングされていない変形体、およびいかなるドーピングされた変形体(Pb 、 Zi および Ti のドーピングを含む)を含む。デバイスは、基板内に位置され得、1つのデバイスに集積され得る。 Pt 層40および RuO_2 層50は、PZT強誘電体キャパシタの低下特性を改善する、金属および導電酸化物である。 $TiSi_2$ 層10、 Ti 層20および TiN 層30が拡散バリアを形成する。デバイス全体が比較的複雑であり、4つまたは5つの異なる層の形成を必要とする。しかし、このような設計は、拡散性、酸化抵抗性および接着性という制約のために必要である。これほど複雑であっても、デバイスは、約 $500^{\circ}C$ より高い処理温度に対して接着性の問題および TiN 層30の酸化という問題がある。

【0047】本発明の下部電極デバイスを図1に示す。電極は、3層構造 $Pt-Rh-O_x/Pt-Rh/Pt-Rh-O_x$ を基礎としている。 $Pt-Rh-O_x$ 90からなる下部金属酸化物層が基板80上に形成される。 $Pt-Rh$ 100からなる中間金属層が層90上に形成される。 $Pt-Rh-O_x$ からなる上部金属酸

化物層110が中間層100上に形成される。PZTのような強誘電体層120が金属層110上に形成される。層90、100および110は一緒になって、キャパシタデバイスの下部電極を形成する。

【0048】インサイテュスパッタリングプロセスで上記デバイスを形成した。下部酸化物層90は、アルゴン(Ar)および酸素(O_2)雰囲気中でスパッタリングされる。金属層100は、純Ar中でスパッタリングされる。上部層110はArおよび O_2 雰囲気中でスパッタリングされる。スパッタリングには、Cooke Vacuum Products製のRFスパッタシステムを用いた。

【0049】直径2インチおよび厚さ0.125インチの寸法のPt-10%Rh合金ターゲットを用いた。電極を基板温度450℃、RFパワー50W(約16W/in²パワー密度)で形成した。純Arスパッタリングに対しては5mTorr、Arおよび O_2 中でのスパッタリングに対しては7mTorrのガス圧を用いた。Ar: O_2 比を20:4sccmで一定に維持したままArおよび O_2 スパッタリングを行った。形成時間は、下部層90に対して3分間、中間層100に対して17分間、上部層110に対して6分間であった。下部電極構造を単結晶n⁺Si(100)の基板80上に形成した。さらに、別の実施態様は、n⁺ポリシリコン/SiO₂/Si、およびSiO₂/Siの基板80を用いて構成される。

【0050】あらゆる表面汚染を取り除くために基板80を洗浄および脱脂した。単結晶SiおよびポリSi基板上の天然酸化物を除去し、HF酸処理を用いることにより表面をH-保護した。次いで、基板を下部電極形成のためのスパッタチャンバに直ちに移動して天然酸化物形成を最小限にした。下部電極形成に続いて、組成物PbZr_{0.53}Ti_{0.47}O₃のMOD誘導PZT膜を金属有機前駆体から形成した。調製の詳細については、G. YiおよびM. Sayer, Ceram Bull., 70, 1173 (1991)を参照。PZT膜の厚さは、分光楕円偏光法によって測定すると、約3000Åであった。次いで、酸素気流下、石英管状炉中で650℃にて30分間アニールし、PZT膜中のペロブスカイト相の結晶化を達成した。次に、図2に示されるように、上部電極を形成した(上部電極は、Pt-Rh/Pt-Rh-O_x/Pt-Rh層であった)。より詳しくは、Pt-Rh-O_x層130は、強誘電体層120上に形成される。金属Pt-Rh層140は層130上に形成される。最後に、上部Pt-Rh-O_x層150が、層140上に形成される。上部電極は層130~150を含む。上部電極を下部電極と同一の蒸着条件下で形成したが、他の条件も用い得る。その後、この構造体を600℃にて30分間アニールした。上部電極の厚さは、およそ3.0×10⁻⁴cmであった。

【0051】ラザフォード後方散乱分光法(RBS)を用いて電極膜の組成および厚さを測定した。X線回折(XRD)を用いてPZT膜の相形成および相配向を調べた。原子間力顕微鏡(AFM)を用いて膜の形態を調べた。キャパシタ構造の強誘電特性(ヒステリシスおよび疲労)をRadian

Technologies of Albuquerque, NM製のRT66A強誘電テスターを用いることにより測定した。直流電流(dc)リーク電流をKiethley617 プログラマブル電気計を用いて測定した。この電気計をプログラムして、印加電圧の関数として安定状態のリーク電流を測定した。

【0052】SiO₂/Si基板上に形成されたばかりの電極膜に関するRBS研究結果は、反応性スパッタリングによる表面(すなわち、上部電極の上部層)および電極/基板界面(すなわち、下部電極の下部層)としての酸化物層形成を確認した。電極における各層の組成を、シミュレーションプログラムを用いた理論上のスペクトルを実験のスペクトルにほぼ一致するまで適合させることによって測定した。RBSシミュレーションの結果は、形成された膜に3つの異なる層が存在することを確認している。SiO₂層に隣接する下部層は、原子組成比がPt:Rh:O = 66:14:20である酸化物層である。中間層は原子組成比がPt:Rh = 87:13である金属層である。上部酸化物層は、原子組成比がPt:Rh:O = 50:20:30である酸化物層である。上記の形成時間に対応するこれらの層の厚さを測定すると、下部層が15nmであり、中間層が50nmであり、そして上部層が30nmであった。

【0053】純Ar雰囲気中で形成された中間金属層は、ターゲットと比較してRhが13%高まり、Ptと比較するとRhが10%高まった。これは、おそらくRhの優先的なスパッタリングに起因する。組成に関する分析結果に基づくと、膜が完全に混合した酸化物であるのか、または金属と酸化物成分との混合物であるのか決定されていない。RhおよびPtの両方が導電酸化物(RhO_xまたはPtO₂)を形成する。しかし、Rhは酸素に対する親和性が高く、Ptに比べてより高い程度まで酸化されやすい。このため、本発明者らの場合に観察されるように金属層と比較して酸化物層においてRhの優先的な分離が起こり得る。4つのポイントプローブを用いて測定された多層の電極バリア膜の抵抗率を測定すると、18μOhm-cm~24μOhm-cmの範囲であった。これは、多層電極が、金属膜に匹敵する抵抗率を有していたことを示す。

【0054】図3は、 O_2 気流下、700℃にて60分間アニールした後、n⁺Si基板上的多層電極膜およびPt膜のRBSスペクトルを示す。この結果は、Pt/Siの場合(PtおよびSiの両方の端部がかなりシフトした)に比べて、Pt-RhとSiとの間に大きな相互拡散がないことを明らかに示している。これは、Pt-Rh-O_x層が、少なくとも700℃の処理温度まで、有効な拡散/反応バリアとして作用することを示す。形成したばかりの電極膜のXRD分析は、それらの形成条件下での結晶性Pt-Rh電極構造の形成を示す。Si基板に形成された多層電極膜に対するXRDデータは、650℃でのアニール後、Pt/Rhケイ化物と対応するPtと比較して新しいピークを全く示なかった。このことは、Pt-Rh-O_x層のバリア効果を示すものである。AFMを用いた電極の形態検査は、電極が、約400Åの平均粒子

サイズを有する微細なおよび非常に微細な粒子構造を有することを示した。さらに、650℃でのアニール後、これらの電極に対してヒロック形成が観測されず、AFMデータから測定された平均表面粗さ(Ra)は、わずか0.68nmであった。図4は、下部電極/Si(100)構造上に形成され、かつ650℃にて30分間、 O_2 雰囲気中でアニールされたPZT膜のXRDパターンを示す。XRDパターンから観測されるように、膜は強誘電性ペロブスカイト相に優先的に結晶化したようである。パイロクロア相のピークが存在しないことは、残っているパイロクロア相がXRD技術の検出可能な限界内にあることを意味している。この膜は、好ましい配向を有していないようである。PZT膜は、AFMマイクログラフから観測されるように約800Åの平均粒子サイズを有している。

【0055】下の電極の平滑かつ微細な粒子組織により、ほんの1.31nmという平均粗さRa値を有するPZT膜の極端な平滑さ(Ra = 0.62nm)に着目することが重要である。比較して、Pt電極上に形成された膜はかなり粗く、そしてまた大きな粒子サイズ(例えば、1000Å)を有する傾向がある。これは、下のPt電極の大きな粒子サイズおよびヒロック形成に起因する。J. O. Olowofeら、J. App. Phys.、73、1764(1993)を参照。従って、本発明による多層電極は、Pt電極に比べてPZTのより薄い膜に使用されると有意な利点を有する。

【0056】図5の(A)および図5の(B)は、650℃にて30分間 O_2 中でアニールされたn⁺Si(100)基板上に直接形成された本発明の上部電極/PZT/下部電極構造の典型的なヒステリシス曲線および疲労物性を示す。これらの試験構造に対するヒステリシス曲線は、十分飽和し、そして約16μC/cm²の残留分極(Pr)値を示す。抗電界値(Ec)もまた低く、30kV/cm〜40kV/cmの範囲である。n⁺ポリSi/SiO₂/SiおよびSiO₂/Si構造上に形成されたキャパシタに対するPr値およびEc値は同様の範囲内であった。多層電極上に形成されたPZT膜のPr値は、おそらくPZTの粒子サイズがより小さいことに起因して、Pt電極上に形成された膜よりも低い。

【0057】振幅±5Vおよび周波数500kHzで外部から生成された方形波を用いて疲労試験を行った。図5の(B)において、スイッチされた電荷およびスイッチされていない電荷が、キャパシタに印加されたlog(サイクル)関数としてプロットされている。疲労試験の結果は、10¹¹サイクルまで、大きな疲労(5%未満の分極)がないことを示す。

【0058】図6は、n⁺Si(100)基板上の試験構造に関する、印加電圧および極性(上部電極または下部電極のいずれか)に対するdcリーク電流の依存性を示す。リーク電流は、100kV/cmの印加電界まで極僅かに増加し、これに続いて、500kV/cmの印加場まで直線的に増加した(log J 対E^{1/2}依存性)。この物性は、ポール-フレネルまたはショットキーバリア制御機構のいずれかを

示している。しかし、測定時の極性変化に関するリーク電流の異なる値が、ショットキーバリアが支配的なリーク電流メカニズムであることを意味している。100kV/cm(3V)の印加電界でのリーク電流は、 2×10^{-8} A/cm²という低い値を有し、Pt電極上のPZTに匹敵し得る。

【0059】要約すると、Pt-Rh-O_x/Pt-Rh/Pt-Rh-O_x多層電極バリアを備える強誘電体試験キャパシタが、優れた強誘電体特性および疲労特性を有するいくつかの基板上に形成されていた。多層電極構造が、700℃の高い処理温度まで、強誘電体膜とSi基板との間の優れたバリアとして作用し、これらのキャパシタの特性低下を大きく改善する。多層電極構造のバリア特性は、集積強誘電体(例えば、PZT、SBT)キャパシタ、および高い誘電率の常誘電体キャパシタの大規模集積メモリセル構造における使用を可能とする。さて、上記デバイスは、優れた結果をもって構成されたが、本発明はこれらの特定の組成より広い範囲を包含することを理解すべきである。一般的なキャパシタデバイスを図7に模式的に示す。キャパシタは、基板200上に形成される。基板200は、キャパシタ形成に適するあらゆる材料からなり得、特に好適な基板はシリコン、ゲルマニウム、GaAsおよび他の半導体である。金属酸化物層210が基板200上に形成される。金属酸化物層210はあらゆる金属酸化物であり得るが、一実施態様において最も好適には、遷移金属の酸化物である。より具体的には、以下の金属が好適である：任意の遷移金属、Pd、Pt、Ir、RhおよびRuである。銀(Ag)もまた好適な金属である。この明細書中にわたって用いられる、用語「金属」は、任意の合金または多層金属を含む他の組成物を含み、単に単一の元素化合物を示すものではない。用語「合金」は、さらに明確にするために時折用いられ得るが、意味を変えるものではない。金属層220が、金属酸化物層210上に形成される。層220の金属は、層210の酸化物形態における金属と同じ種類であり、従って、上で述べたように、同じ金属が好ましい。誘電体層230が金属層220上に形成される。誘電体層230は、強誘電体(例えば、PZTおよびSBT)または他の高誘電体材料(例えば、BST)であるのが好ましい。層210および220が一緒になって下部電極を形成する。

【0060】上部電極240が誘電体230の上に形成される。上部電極240は、下部電極と同じ金属酸化物および金属層構造からなることが好ましい。従って、金属層242が誘電体230の上に形成される。その上に金属酸化物層244が形成される(図8を参照)。しかし、異なる上部電極も用いられ得る。

【0061】中間金属酸化物層(図示せず)は、疲労を防止するために用いられ得、これは、誘電体230がPZTである場合に特に有用である。従って、金属酸化物層が、金属層220と誘電体230との間に形成される。この場合、別の金属酸化物層が、誘電体230の上に直

接形成されることが好ましく、これが上部電極のさらなる要素を形成する。

【0062】上記のキャパシタ構造は、FRAMS（不揮発性メモリ）およびDRAMsに特に有用である。FRAMSに対しては、以下の化合物が好適な誘電体である： $\text{PbZr}_{1-x}\text{Ti}_x\text{O}_3$ （ドーピングされた変形体およびドーピングされていない変形体を含む）； $\text{SrBi}_2\text{Ta}_{1-x}\text{Nb}_x\text{O}_9$ 、および固溶体；他の強誘電体。

【0063】DRAMsに対しては、以下の化合物が好適な誘電体である： $\text{Sr}_{1-x}\text{Ba}_x\text{TiO}_3$ ； $\text{BaBi}_2\text{Ta}_2\text{O}_9$ ；他の高誘電率材料。

【0064】

【発明の効果】本発明によれば、高温における酸化性雰囲気に曝された後も電気導電性のままであり、強誘電体膜の酸素/可動成分の下基板への拡散を防止し、これにより、トランジスタの電気特性を保持でき、処理の間、Siが電極表面へ拡散するのを防止でき、高温における処理の間、強誘電体と基板とが相互作用（反応）しない強誘電体キャパシタが提供され得る。

【図面の簡単な説明】

【図1】本発明の実施態様による基板上の下部電極および強誘電体キャパシタの模式図である。

【図2】本発明の実施態様による基板上の上部電極、下部電極および強誘電体キャパシタの模式図である。

【図3】基板上の本発明による電極膜、およびPt膜に対するRBSスペクトルのグラフである。

【図4】アニール後の本発明による高温電極バリアおよび基板上に形成された強誘電体（PZT）膜のXRDパターンである。

【図5】（A）は、本発明によるキャパシタのヒステリシス曲線であり、（B）は、本発明によるキャパシタの疲労プロットである。

【図6】本発明によるキャパシタの両分極性についてのdcリーク電流対印加電圧のプロットである。

【図7】本発明による一般的なキャパシタ構造の模式図である。

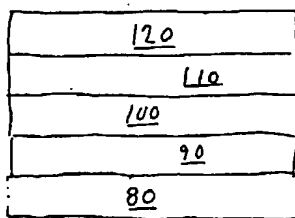
【図8】本発明の一局面による上部電極の模式図である

【図9】従来の設計による基板上の下部電極および強誘電体キャパシタの模式図である。

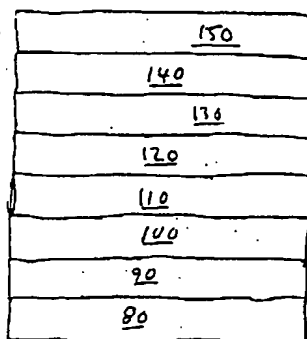
【符号の説明】

8	ポリシリコンプラグ
10	ケイ化物層
20	TiO_2 層
30	TiN層
40	Pt層
50	RuO_2 層
60、120	強誘電体材料
90、110、130、150	Pt-Rh- O_x 層
100、140	Pt-Rh

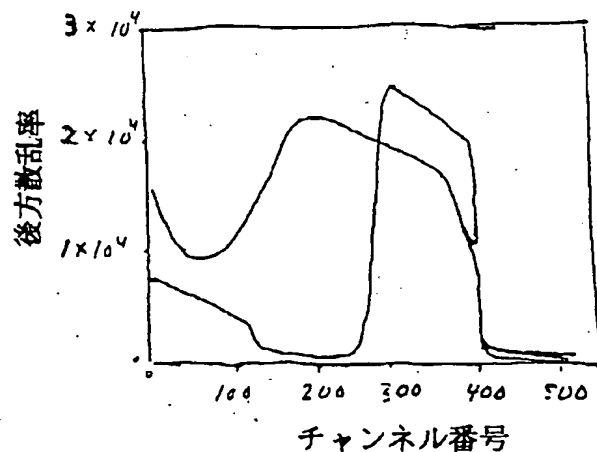
【図1】



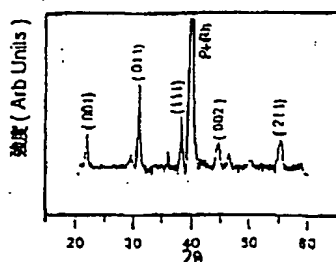
【図2】



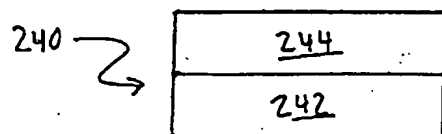
【図3】



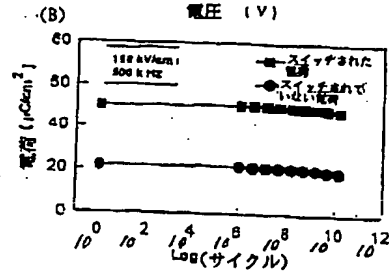
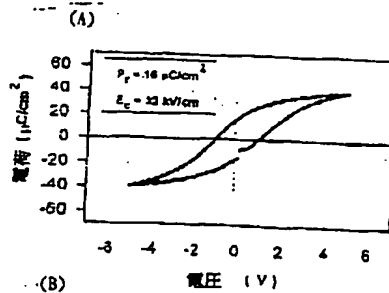
【図4】



【図8】



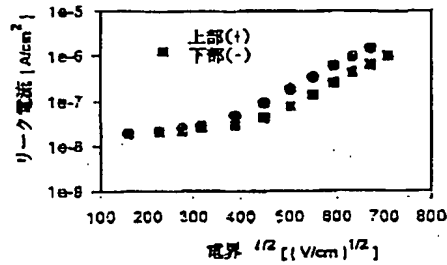
【図5】



【図9】

60
50
40
30
20
10
8

【図6】



【図7】

240
230
220
210
200

フロントページの続き

(72)発明者 セシュ ビー. デス
 アメリカ合衆国 バージニア 24061,
 ブラックスバグ, マックレーン・コー
 ト 3006

(72)発明者 ヘマンシュ ディー. ビハット
 アメリカ合衆国 バージニア 24060,
 ブラックスバグ, ナンバー6, ペン
 ストリート 300

(72)発明者 ディリップ ビー. ビジェ
 アメリカ合衆国 カリフォルニア 94539,
 フレモント, ウェスティングハウス
 ドライブ 47633

(72)発明者 ユー エス. ホワング
 韓国 449-900, キュンキードウ, ヨ
 ンギンシティ, キハンイアップ,
 ノンセオーリー, サン ナンバー24,
 セミコンダクター リサーチ アンド
 ディベロップメント センター, テクニ
 カル ディベロップメント, サムサン
 エレクトロニクス

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-189881

(43)Date of publication of application : 21.07.1998

(51)Int.Cl.

H01L 27/04
H01L 21/822
H01G 4/10

(21)Application number : 09-184132

(71)Applicant : SHARP CORP
VIRGINIA TECH INTELLECTUAL
PROPERTIES INC

(22)Date of filing : 09.07.1997

(72)Inventor : SECHEH B DES
HEMANSCH D BIHAT
DEIRITSUPU P VIGEE
YUU S HWANG

(30)Priority

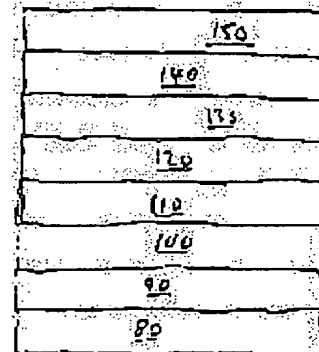
Priority number : 96 763011 Priority date : 06.12.1996 Priority country : US

(54) CAPACITOR WITH HIGH-TEMPERATURE ELECTRODE BARRIER ITS MANUFACTURE

(57)Abstract:

PROBLEM TO BE SOLVED: To stabilize an electrode structure, and to reduce a leakage current by forming a lower electrode of a metallic oxide layer and a metallic layer in a capacitor, forming a metallic oxide onto a substrate and constituting the metallic oxide so as to contain the same metal as the metallic layer.

SOLUTION: A lower electrode is composed of a three-layer structure, a lower metallic oxide layer 90 consisting of Pt-Rh-Ox is formed onto a substrate 80, and an intermediate metallic layer 100, made up of Pt-Rh and an upper metallic oxide layer 110 composed of Pt-Rh-Ox, are further shaped. A capacitor is configured by forming a ferroelectric layer 120 such as a PZT, a Pt-Rh-Ox layer 130 as an upper layer, a metallic Pt-Rh layer 140, and an upper Pt-Rh-Ox layer 150 onto the upper metallic oxide layer 110. Accordingly, a diffusion into the substrate 80 of oxygen/movable component of a ferroelectric film is prevented, even after exposure in an oxidizing atmosphere at a high temperature, and the fatigue characteristic and leakage-current characteristic of the ferroelectric film are improved.



LEGAL STATUS

[Date of request for examination]

14.07.2000

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the
examiner's decision of rejection or application converted
registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of
rejection]

[Date of extinction of right]